

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-032295

(43)Date of publication of application : 04.02.1992

(51)Int.Cl.

H05K 3/40
H01L 21/3205
H05K 3/34
H05K 3/46

(21)Application number : 02-135505

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 28.05.1990

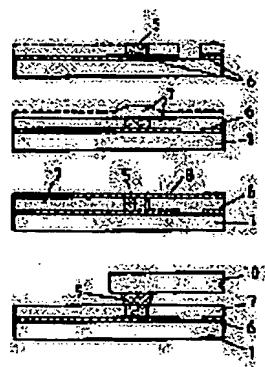
(72)Inventor : MURAKAMI TAKAKIMI

(54) MANUFACTURE OF MULTI-LAYER WIRING BOARD

(57)Abstract:

PURPOSE: To form an electric circuit of higher density for inter-layer connection of a multi-layer substrate using a once-applied resist for two pattern exposure/development, preventing non-conformity in position between a lower layer circuit and a pillar.

CONSTITUTION: On a surface of an organic insulating resin 7 and a pillar 5, an upper layer electric circuit metallic layer 8 of copper, etc., is formed by, for example, such film-forming method as electroplating. With ceramics, silicon, glass substrate, for a thin metal layer, such film-forming as sputtering and vapor-deposition are possible. Thus, a lower layer electric circuit 6 is connected electrically to an upper layer electric circuit 8 through the pillar 5. Thus, a process such as above may be repeated for the formation of a multi-layer wiring. Instead of the formation of an upper layer electric circuit metal layer, an electronic part 10 which is to be an upper layer electric circuit is attached to the pillar 5 with a solder 9. For the pillar 5, thickness of a copper or a pillar formed on the copper with solder or tin can be arbitrarily changed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許出願公告番号

特公平6-36472

(24)(44)公告日 平成6年(1994)5月11日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/40	Z	7511-4E		
3/46	N	6921-4E		

請求項の数4(全 6 頁)

(21)出願番号	特願平2-135505
(22)出願日	平成2年(1990)5月28日
(65)公開番号	特開平4-32295
(43)公開日	平成4年(1992)2月4日

(71)出願人	999999999 インターナショナル・ビジネス・マシー ズ・コーポレーション アメリカ合衆国10504、ニューヨーク州 アーモンク(番地なし)
(72)発明者	村上 孝公 滋賀県草津市平井5丁目17番31号
(74)代理人	弁理士 山本 仁朗 (外1名)

審査官 岡田 和加子

(54)【発明の名称】 多層配線基板の製造方法

1

【特許請求の範囲】

【請求項1】基板上に形成した下層電気回路と上層電気回路との層間接続を行う多層配線基板の製造方法において、

- (a)上記基板上に金属層をブランケット被覆し、
- (b)上記金属層上にポジティブフォトレジストをブランケット被覆し、
- (c)レジストホールを画成するために上記フォトレジストを露光、現像し、
- (d)所定の回路パターンを画成するために、上記露光、現像後の残余のフォトレジストを露光し、
- (e)上記レジストホール内にめっきビラーを形成し、
- (f)上記露光された残余のフォトレジストを現像し、
- (g)上記残余のフォトレジストの現像により露出した金属層をエッチングして上記下層電気回路を形成し、

2

(h)上記下層電気回路を構成する金属層上から上記フォトレジストを剥離し、

(i)上記エッチングされた上記金属層上、上記エッチングによって露出した基板上及び上記めっきビラー上に有機絶縁層をブランケット被覆し、

(j)上記有機絶縁層の表面を平坦化して上記めっきビラーの表面を露出させ、

(k)上記有機絶縁層及び上記めっきビラーの露出面上に、上層電気回路となる別の金属層若しくは電子部品を付着させたことを特徴とする、

多層配線基板の製造方法。

【請求項2】前記めっきビラーが前記金属層と同一材料から成るとき、当該材料とは別の材料から成る保護膜を、めっきビラーの上部に形成したことを特徴とする請求項(1)記載の多層配線基板の製造方法。

【請求項3】基板上に形成した下層電気回路と上層電気回路との層間接続を行う多層配線基板の製造方法において、

- (a)上記基板上に金属層をブランクット被覆し、
- (b)上記金属層上にポジティブフォトリソをブランクット被覆し、
- (c)レジストホールを画成するために上記フォトリソを露光、現像し、
- (d)上記レジストホール内にめっきビラーを形成し、
- (e)所定の回路パターンを画成するために、上記露光、現像後の残余のフォトリソを露光、現像し、
- (f)上記フォトリソの現像により露出した金属層をエッチングして上記下層電気回路を形成し、
- (g)上記下層電気回路を構成する金属層上から上記フォトリソを剥離し、
- (h)上記エッチングされた上記金属層上、上記エッチングによって露出した基板上及び上記めっきビラー上に有機絶縁層をブランクット被覆し、
- (i)上記有機絶縁層の表面を平坦化して上記めっきビラーの表面を露出させ、
- (j)上記有機絶縁層及び上記めっきビラーの露出面上に、上層電気回路となる別の金属層若しくは電子部品を付着させたことを特徴とする、多層配線基板の製造方法。

【請求項4】前記めっきビラーが前記金属層と同一材料から成るとき、当該材料とは別の材料から成る保護膜を、めっきビラーの上部に形成したことを特徴とする請求項(3)記載の多層配線基板の製造方法。

【発明の詳細な説明】

A. 産業上の利用分野

本発明は、多層配線板における層間接続形成方法に関し、特に高密度実装が要求されるコンピューター等のプリント基板等に使用される多層配線板の製造方法に関する。

B. 従来の技術

従来、エポキシ樹脂等から成る有機基板上へ薄膜多層配線を行うときの層間接続形成技術として、絶縁層エッチング法とめっきビラー法が知られている。絶縁層エッチング法については、第3図(a)乃至(q)にその工程を示している。当該方法は、絶縁層を有する基板10上に導体11を形成する(第3図(a))。そして、この導体11上にフォトリソ12をブランクット塗布し、これを選択的に露光し、当該レジストを現像し(第3図(b))、上記導体11を選択的にエッチングし、所望の部分に下層配線回路13を形成する(第3図(c))。そして残留しているフォトリソ12を剥離する(第3図(d))。形成された上記下層配線回路13上に感光性樹脂から成る絶縁層14を付着させ(第3図(e))、エッチング(ドライエッチング法若しくはウェットエッチング法)若しくはパターン露光、現像によってバイア1

5を形成し、下層配線13回路を露出させる(第3図(f))。次に、無電解めっき、蒸着、スパッタリング等の成膜技術を用いて上記バイア15及び下層配線回路13上に上層配線回路16を付着させる(第3図(g))。この絶縁層形成と配線層形成を繰り返すことにより有機基板上に多層配線を形成している。

特開昭51-118390号公報には、A1配線導体が形成されている配線基板表面にポリイミド樹脂膜を形成した後、該ポリイミド樹脂膜の表面に有機A1化合物層を形成し、そして該ポリイミド樹脂膜の表面の有機A1化合物層の一部を除去し、貫通孔を形成した後、A1の第二導体層を貫通孔内に形成して所定の多層配線構造体を形成する旨記載されている。

特開昭58-93298号公報には、基板上に配線導体層を形成した後、その上にレジスト層を形成し、下層配線パターンを形成する。そして上記レジスト層の除去及びスルーホールを形成を行ない、多層配線を構成する層間絶縁膜をポリイミド系樹脂を用いて形成し、次に当該絶縁層上にレジスト膜を形成し、接続スルーホールを形成し、レジスト膜を除去した後、ベーク処理された上記絶縁層上に上層配線を形成する旨記載されている。

特開昭60-180197号公報には、絶縁基板上に第1層目の形成し、該配線パターン上にフォトリソの膜を形成した後、該フォトリソの膜を、露光して光硬化させ、現像し所定位置にバイアホールを形成された光硬化膜を形成し、次いで、上記フォトリソの光硬化膜を層間絶縁膜として使用して該層間絶縁膜上及び上記バイアホール部に第2層目の配線パターンを形成し、さらに上記フォトリソ膜の形成工程以降の工程を順次繰り返して多層配線パターンを形成する旨記載されている。

特開昭61-121393号公報及び特開昭61-127196号公報には、上記絶縁層エッチング法を用いて、めっき法、スパッタリング法、蒸着法等により絶縁層表面に銅、クロム等の配線パターンを形成し、同時にバイアホール部を導体化し、下層の導体パターンと電気的に接続する工程が記載されている。

めっきビラー法については、第5図(a)乃至(h)にその工程を示している。当該方法は、ポリイミド樹脂をブランクット被覆した基板101上に下層配線回路103用の金属膜をスパッタリング等の成膜法を用いて付着させ、感光性レジスト塗布、パターン露光、現像、レジスト剥離、エッチングして、下層配線回路103を形成する(第5図(a))。そしてさらに、下層配線回路103の上には感光性レジスト104をブランクット被覆し(第5図(b))、感光性レジスト104をパターン露光、現像、レジスト除去によってレジストホール105を形成する(第5図(c))。このレジストホール105内に、例えば、電気めっきによりめっき柱106を当該ホール105内に形成し(第5図(d))、上記レジスト104

を所定の溶剤によって除去する(第5図(e))。次にポリイミド107を塗布し(第5図(f))、当該ポリイミド表面を研磨して平坦化し、めっきビラー106の頭頂部を露出させ(第5図(g))、さらにその上に上層配線回路108をスパッタリング等の成膜技術により形成する(第5図(h))。以上の工程を繰り返すことによって多層配線を形成する。

特開昭61-90496号公報は、絶縁基板上に導体回路用の金属箔が形成され、ホトレジスト塗布、パターン露光、現像、めっき、レジスト除去、エッチングして下層配線を形成する。次いでポリイミド膜を形成し、導通を形成したい部分に機械的ドリル又はレーザによりレジストホールを形成し、次に、局所的にめっき液及びレーザ光を供給することにより、レジストホール内にめっきビラーを形成する工程が記載されている。

特開昭63-43396号公報は、多層配線アルミナ基板の全面に下層配線を形成し、ポジ型ドライフィルムを圧着した後、露光、現像によってレジストパターンを得、形成されたバイアホール内に電気めっきによりめっき柱を形成し、めっきレジストパターンを溶剤によって除去した後、絶縁層を塗布し、その絶縁層の表面を研磨し、めっき柱の頭頂部を露出させ、その上に絶縁層を塗布し、その絶縁層に所望の径のレジストホールを形成し、レジストホールの内部及び上記絶縁層の表面上に銅をスパッタリングし、さらにエッチングによって必要な回路パターンを形成する多層配線を形成工程が記載されている。

特開昭63-244797号公報は、下層配線パターンを形成したアルミナ基板上に、ポジ型ドライフィルムを積層してレジストパターンとし、露光現像により、めっき柱用のレジストホールを形成する。次に、上記レジストホールに硫酸銅めっきを行ってめっき柱を形成した後、上記レジストをアセトンによって除去し、ポリイミド絶縁層を塗布する。そして、当該絶縁層の表面を研磨して上記めっき柱の頭部を露出させる。次いで、スパッタリング装置を用いて銅層を絶縁層の表面及びめっき柱の頭部に設け必要な配線を形成する工程が記載されている。

特開昭61-179598号公報は、セラミック基板上に下層配線としての銅の配線パターンが形成され、そしてこれらの表面上に通常のホトリソ技術を用いてホトレジストパターンを形成する。次に、ホトレジストホールを介して露出した下層配線層の露出表面上に電解めっきを行ってめっき柱を被着する。上記めっきビラー表面及び基板の露出面の全面にポリイミド樹脂を塗布し、絶縁層の表面から基板方向に所定の圧力で押圧して、絶縁層の表面を平坦化する。次に、この絶縁層の表面上の所定の個所に上層配線層を蒸着して配線を形成する工程が記載されている。

特開昭62-263645号公報は、基板上に順次ブラ

ンケット被覆したクロム及び銅層をエッチングして所定のパターンに形成し、銅層の上にポジティブフォトレジストをブランケット塗布し、このレジストを露光、現像して開口部(レジストホール)を形成する。次にポジティブフォトレジストをシリル化する。シリル化したレジストははんだバリアとしてそのまま残り、溶融したはんだ浴に浸漬するなどの方法により上記開口部内にはんだ柱を形成し、その上に上層配線を接続する工程が記載されている。

10 特公昭50-2059号公報は、セラミック等の絶縁性基板上に下層配線としての銅層が被覆され、その上にフォトレジスト被膜が付着され、このレジストが露光、現像されるとレジストホールが形成され、このホール内に電気めっきにより銅のような導電材(めっきビラー)が付着される。電気めっき終了後、残留フォトレジストが除去され、その後にエポキシ樹脂のような絶縁材が付着され、上記導電材及び上記絶縁材上に銅層が無電気めっきされ、層間接続が行なわれる旨記載されている。

C. 発明が解決しようとする課題

20 下層配線と上層配線とを電氣的に接続させるためには、下層配線回路とバイアとの位置合わせを正確に行わなければならないが、上記絶縁層パターンニング法によると、両者の間には、パターン間の位置合わせ誤差がある為、その分だけバイアの径を大きくするか若しくは、第4図に示すように下層電気回路13のサイズをレジストホール15若しくはめっきビラー106の径よりも大きくするなどの処理が必要であり、電気回路の形成密度を上げることができない。

上記めっきビラー法によると、最初に感光性レジストを塗布し、回路パターンを形成した後、一旦感光性レジストを剥離し、レジストホールにめっきビラーを形成するときに再度レジストを塗布し、その後剥離するという工程を経なければならないという欠点がある。

本発明の目的は、一度塗布したレジストを二つのパターン露光/現像に利用することによって下層回路とビラーとの間の位置の不整合を防止し、より高密度の電気回路を形成して多層基板の層間接続を行えるようにすることにある。

40 さらに本発明の別の目的は、ビラー形成時に使用したフォトレジントを、回路パターン形成時においても使用し得るようにして、余分な感光性レジストの剥離塗布工程を省略し、製造過程におけるプロセス数を低減させることにある。

D. 課題を解決するための手段

本発明は、基板上に、伝導性の金属層を形成し、その上にポジティブフォトレジストを塗布し、最初にめっきビラーを形成するために上記ポジティブフォトレジストを露光、現像、剥離し、レジストホールを形成する。下層回路パターンを画成するために、再び、残されたポジテ

ィブフォトレジストを露光する。次に、電気めっきにより上記レジストホール内にビラーを形成する。なお、ビラー形成後に、下層回路パターンを画成するために、再び、残されたポジティブフォトレジストを露光するようにしてもよい。

更に、下層回路パターンを画成するために、上記露光、現像後の残余の上記フォトレジストを現像して下層回路パターンに露光されたレジスト領域を除去すると、金属層が部分的に露出し、当該金属層をエッチングする。このようにして上記基板の表面が部分的に露出する一方、上記基板上に下層電気回路が形成される。そして、上記下層電気回路が形成された後に、上記残されたフォトレジストを所定の剥離液によって剥離する。次に、エッチングされた上記金属層上に有機絶縁層をブランケット被覆し、上記有機絶縁層の表面を平坦化して上記ビラーの表面を露出させ、上記有機絶縁層及び上記ビラーの露出面上に、上層電気回路となる別の金属若しくは電子部品を付着させて成る多層配線基板の製造方法である。

本発明は上記のような構成により、下層電気回路が形成される前に、ブランケット被覆された金属層上に接続部となるビラーが形成されるので、ビラーと下層電気回路との間に位置ずれがおこるおそれはなくなる。さらに、ビラーを形成するときに塗布して使用したポジティブフォトレジストを、下層電気回路を形成する際においても使用することができる。

E. 実施例

以下、本発明の実施例を、第1図(a)乃至(h)を用いて説明する。

第1図(a)に示すように、有機基板1の上に30 μ mの銅のブランケット金属層2を、従来から一般に知られている蒸着法、スパッタリング法、無電解めっき法等の成膜技術により被覆させる。次いで、上記銅層2の上にポジティブレジスト3を塗布する(第1図(b))。フォトレジストは、例えば、AZ1350J(シブレー社)、TNS(IBM社)、PMER-P(東京応化)等、一般に入手可能ないずれの材料を用いてもよい。その塗布は、通常、ブラシ、スピンコーティング法又は浸漬により行なわれる。

次に、ポジティブフォトレジスト3は、図示していないマスク(バイアパターン部分は不透明で、バイアパターン部分以外は透明)を介して露光され(第1図(b))、現像され、ビラーが形成される領域に対応するレジスト領域が除去され、ビラー用レジストホール4が形成される。これにより、下層配線部が形成される銅層3が部分的に露出する(第1図(c))。

更に、下層回路パターンを画成するために、再び、残されたポジティブフォトレジスト3を、図示していないマスク(配線パターン部分は不透明で、配線パターン部分以外は透明)を介して露光する(第1図(c))。なお、ビラー形成後に、下層回路パターンを画成するために、再

び、残されたポジティブフォトレジストを露光するようにしてもよい。次に、電気めっきにより上記レジストホール4内に銅若しくはスズ若しくはハンダメッキから成るビラー5を形成する(第1図(d))。なお、ビラー5を銅で形成する場合、後述の銅層から成る下層配線部をエッチングする際に、ビラーが同様にエッチングされないように銅の上にスズ、はんだめっき、電着塗装膜、電着ポジティブフォトレジスト膜のいずれか1つを付着させてビラーがエッチングされないように保護している。

更に、上記フォトレジスト3を、NaOH、TMAM等のアルカリ性現像液により現像すると、下層回路パターンに露光されたレジスト領域が除去される。すると、下層配線部が形成される銅層2が部分的に露出し、当該銅層2を適当なエッチング液を用いてエッチングする。このエッチングは、例えば、50 $^{\circ}$ Cの硫酸、過酸化水素混合エッチング液に約2分30秒浸漬して行うウェットエッチングである。なお、基板がセラミック、シリコン、ガラスから成る場合、上記ウェットエッチングに代えてAr、CF₄ガス等、エッチングされるべき材料に適切な従来から知られたガスを用いてドライエッチングを行ってもよい。この様にして上記基板1の表面が部分的に露出される一方、上記基板1上に下層電気回路6が形成される。この時、ビラー5と下層電気回路6とは、第2図に示すように、その位置がぴったりと整合している。そして、上記下層電気回路6が形成された後に、上記フォトレジスト3が上記適当な溶剤によって剥離される。

第1図(f)は、例えば、エポキシ樹脂、ポリイミド樹脂若しくはBTレジン(ビスマレイミドトリアジン樹脂)等の有機絶縁樹脂7を、有機基板1、ビラー5、下層電気回路6のそれぞれの表面が隠れるように、ブランケット塗布、乾燥、硬化した状態に示したものである。次に、この有機絶縁樹脂7の表面をベルトサンダー(紙やすりをベルト状にした回転研磨機)ブラシ研磨機(ブラシに研磨粒子が付いた研磨機)等によって研磨し、パイアランプ5の頭頂部を露出させた。そして、有機絶縁樹脂7及びビラー5の表面上に、例えば電気めっき等の成膜法によって銅等から成る上層電気回路金属層8を形成した(第1図(g))。なおセラミック、シリコン、ガラス基板で薄い金属層であれば、スパッタリング、蒸着等による成膜が可能である。これにより、下層電気回路6と上層電気回路8は、ビラー5を介して電氣的に接続されることになる。したがって、多層配線を形成するには以上のような工程を繰り返せばよい。第1図(h)に示すように、上記上層電気回路金属層の形成に代えて、上層電気回路となる電子部品10をはんだ9によって上記ビラー5に取りつけるようにしてもよい。ビラー5は、銅又は銅上にはんだ若しくはスズで形成しビラーの厚みを任意に変えることができる。また、ビラー5がハンダメッキで形成されている場合、そのビラーの厚みを任意にコ

ントロールすることができ、電子部品をビラーに直接装着することができる。

F. 発明の効果

本発明によると、多層基板の層間接続において、下層電気回路とビラー間の位置ずれがなくなるので回路のサイズを大きくする必要がなく、より高密度の電気回路を形成することができる。また、一旦塗布し、ビラー形成時に使用したフォトレジストをそのまま回路パターン形成時においても使用し得るようにすることによって、従来ビラーの形成のためだけに行っていた余分なフォトレジストの塗布剥離工程を省略することができ、製造過程におけるプロセス数の低減を図る得る。

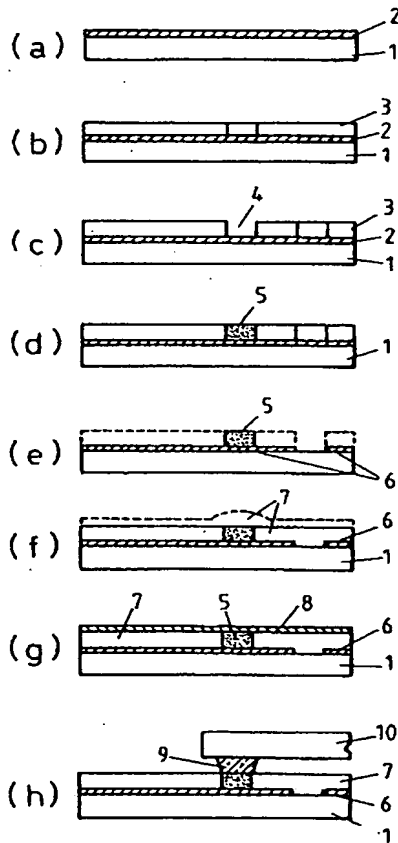
【図面の簡単な説明】

*

* 第1図(a)乃至(h)は、本発明の実施例を示す工程図、第2図は、本発明に係るバンブと下層回路のパターンとの重なり状態を示した概略図、第3図(a)乃至(q)は、従来の絶縁層エッチング法の工程図、第4図は、従来のバンブと下層回路のパターンとの重なり状態を示した概略図、第5図(a)乃至(h)は、従来のめっき柱法の工程図である。

1……有機基板、2……銅層、3……ポジティブフォトレジスト、4……ビラー用レジストホール、5……ビラー、6……下層電気回路、7……有機絶縁樹脂、8……他の金属層（上層電気回路）、9……電子部品（上層電気回路）。

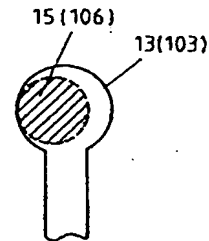
【第1図】



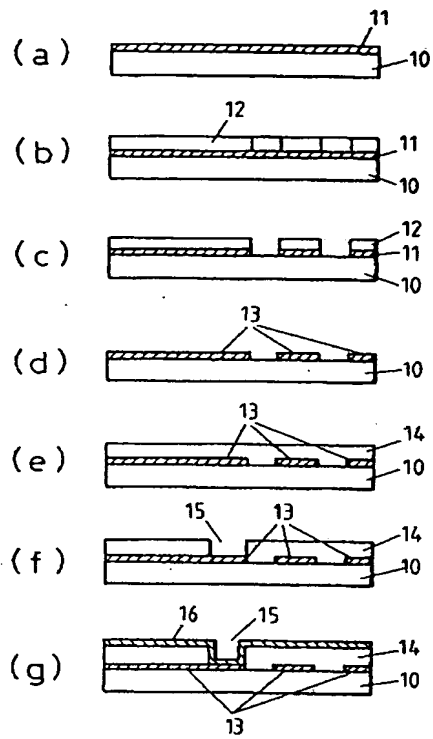
【第2図】



【第4図】



【第3図】



【第5図】

